

工程源码	---01_设计实例 -----AC208_ad7606_spi_driver_uart.zip
相关视频课程	暂无相关视频课程
本实验对各开发板支持情况	
开发板型号	AC208 ()
是否支持	√

文档所涉及文件说明

本次实验配套的文件压缩包名为 AC208_ad7606_spi_driver_uart.zip，解压后可得到配套的工程文件，说明文档和调试工具。



- AC208_ad7606_spi_driver_uart.zip：基于 AC208 开发板智多晶平台 AD7606 串行数据采集系统源工程
- ADCdata_to_wave_v1_1.m：基于 MATLAB 的采样结果数据处理函数
- sscom5.13.1: 串口调试工具
- 实验说明手册

导读

本节介绍了基于 FPGA 的 AD7606 串行驱动数据采集系统实验步骤。案例基于智多晶系列 FPGA，结合 ADI 公司的 16 位 8 通道并行采样 ADC 芯片，通过开发板上串口，实现对 AD7606 型 8 通道 16 位 ADC 的数据转换控制并输出。

数据采集系统主要内容分为数据采集、数据处理、数据存储和数据传输几

个部分。就整个系统而言，为了实现数据的控制采集，系统一般需要包括采集器，A/D 转换模块，数据采集控制器，PC 端，通信线路等一系列硬件支持。

其中 AD 转换模块，对模拟信号进行转换输入，采集控制部分控制采集数据的参数量，PC 端数据分析，对采集的数据进行收集分析。

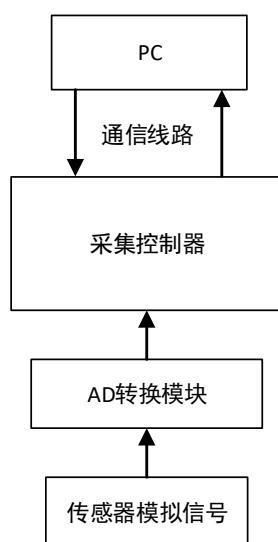


图 1 系统框图

系统的模块设计大多基于原有工程进行设计，这里不在做过多的介绍，这里新设计 AD7606 串行驱动模块。下面我们对此模块的设计进行介绍。

若要通过串行接口从 AD7606 回读数据。在串行模式下 CS 和 SCLK 信号用来传输 AD7606 的数据。AD7606 有两个串行数据输出引脚: DoutA 和 DoutB。可通过单或双串行线路从 AD7606 回读数据。对于 AD7606，通道 V1 至 V4 的转换结果首先出现在 DoutA 上，通道 V5 至 V8 的转换结果则首先出现在 DoutB 。

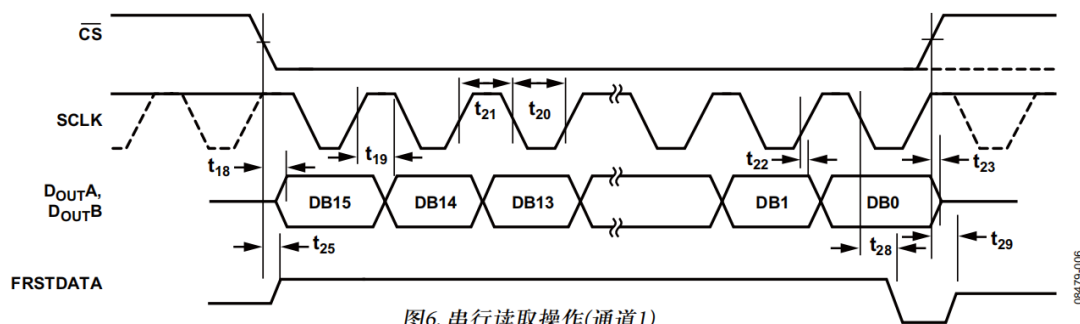
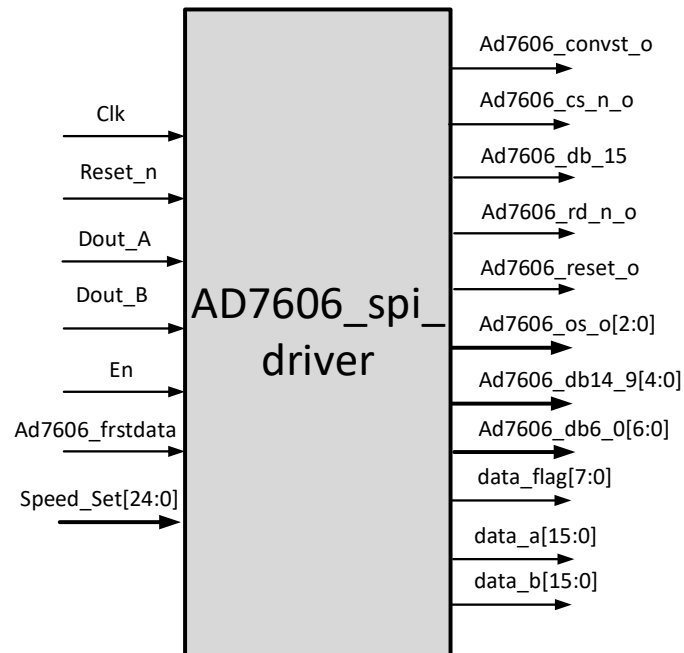


图6. 串行读取操作(通道1)



接口名称	I/O	功能描述
Clk	I	驱动模块工作时钟信号 50MHz，四分频可得到模块工作时钟
Reset_n	I	模块复位信号，低电平复位
Speed_Set	I	采样频率控制参数输入
Dout_A	I	AD7606 模块数据采集串行输入 A，输入 1—4 通道数据
Dout_B	I	AD7606 模块数据采集串行输入 B，输入 5—8 通道数据
ad7606_cs_n_o	O	在串行模式使能串行数据帧传输，低电平有效，并逐个输出串行输出数据的最高有效位 (MSB)。
ad7606_rd_n_o	O	在串行模式下，此引脚用作数据传输的串行时钟输入。
ad7606_os_o	O	过采样模式引脚，不使用过采样
ad7606_convst_o	O	转换有效信号，用来启动模拟输入通道转换。本模块默认短接。引脚从低电平变为高电平时，相应模拟输入的前端采样保持电路被设置为保持。
ad7606_db15	O	BYTE SEL 引脚。当 PAR/SER/BYTESEL = 1 时, BYTE SEL 引脚用来在串行接口模式与并行字节接口模式之间做出选择。串行模式设置为

		0。
ad7606_db14_9	O	在串行模式下这些引脚设置为与 AGND 相连
ad7606_db6_0	O	在串行模式下这些引脚设置为与 AGND 相连
ad7606_frstdata	I	FRSTDATA 输出信号指示何时在并行、字节或串行接口上回读第一通道 V1。在串行模式下，FRSTDATA 在 CS 下降沿变为高电平，因为此时将在 DoutA 上输出 V1 的 MSB。在 CS 下降沿之后的第 16 个 SCLK 下降沿，它恢复低电平。
ad7606_reset_o	O	复位输入。当设置为逻辑高电平时，RESET 上升沿复位模块。
data_flag	O	数据采集通道有效标志信号
data_a	O	1—4 通道数据输出
data_b	O	5—8 通道数据输出
data_1-8	O	通道数据单独输出

为了得到 ad7606 模块的工作时钟，我们对系统时钟进行 4 分频得到系统工作的时钟。

```
//生成 2 倍 SCLK 使能时钟
always@(posedge Clk or negedge Reset_n)
if(!Reset_n)
    SCLK2X <= 1'b0;
else if(DIV_CNT == (DIV_PARAM - 1'b1))
    SCLK2X <= 1'b1;
else
    SCLK2X <= 1'b0;

//生成 2 倍 SCLK 使能时钟计数器
always@(posedge Clk or negedge Reset_n)
if(!Reset_n)
    DIV_CNT <= 8'd0;
else if(En)begin
    if(DIV_CNT == (DIV_PARAM - 1'b1))
        DIV_CNT <= 8'd0;
    else
        DIV_CNT <= DIV_CNT + 1'b1;
end else
    DIV_CNT <= 8'd0;

reg [7:0]SCLK_CNT;
reg [1:0]cnt_speed;

//生成序列计数器
always@(posedge Clk or negedge Reset_n)
```

```
if(!Reset_n)
    SCLK_CNT <= 8'd0;
else if(SCLK2X)begin
    if(SCLK_CNT == 8'd130)
        SCLK_CNT <= 8'd0;
    else if(En)begin
        SCLK_CNT <= SCLK_CNT + 1'd1;
    end
end
else
    SCLK_CNT <= SCLK_CNT;
```

进行数据采样频率控制，在默认设置下 SCLK_CNT 计数到 130 完成一次数据采集。采样时钟为 12.5M，一次采样的时间为 2600ns

```
//采样间隔
always@(posedge Clk or negedge Reset_n)
if(!Reset_n)
    cnt <= 0;
else if(cnt == Speed_Set)
    cnt <= 0;
else if(!En)begin
    cnt <= cnt + 1'b1;
end

wire trig = cnt == Speed_Set;

//采样控制
always@(posedge Clk or negedge Reset_n)
if(!Reset_n)begin
    state<=0;
    En <= 0;
end
else begin
    case(state)
        0:
            if(trig)begin
                state <= 1;
                En <= 1;
            end
        1:
            if(SCLK_CNT == 8'd130)begin
                state <= 0;
                En <= 0;
            end
        default::
    endcase
end
```

进行驱动逻辑设计，在第一个下降沿开始获取数据

```
always@(posedge Clk or negedge Reset_n)
if(!Reset_n)begin
    ad7606_cs_n_o <= 1;
    data_a <= 16'd0;
    data_b <= 16'd0;
    ad7606_convst_o <= 1;
    ad7606_reset_o <= 0;
    data1 <= 0;
    data2 <= 0;
end
else begin
    case(SCLK_CNT)
        0:
            begin
                ad7606_cs_n_o <= 1;
                data_a <= data_a;
                data_b <= data_b;
                ad7606_convst_o <= 0;
                ad7606_rd_n_o <= 1;
            end
        1:begin
            ad7606_convst_o <= 1;
            ad7606_cs_n_o <= 0;
            ad7606_rd_n_o <= 1;
        end
        2:begin
            ad7606_rd_n_o <= 1;
            ad7606_cs_n_o <= 0;
        end

        4,6,8,10,12,14,16,18,20,22,24,26,28,30,32,
        36,38,40,42,44,46,48,50,52,54,56,58,60,62,64,
        68,70,72,74,76,78,80,82,84,86,88,90,92,94,96,
        100,102,104,106,108,110,112,114,116,118,120,122,124,126,128:
            begin
                ad7606_rd_n_o <= 1;
            end
        3,35,67,99:begin data1[15]<= Dout_A;data2[15]<= Dout_B;ad7606_rd_n_o <= 0;end
        5,37,69,101:begin data1[14]<= Dout_A;data2[14]<= Dout_B;ad7606_rd_n_o <= 0;end
        7,39,71,103:begin data1[13]<= Dout_A;data2[13]<= Dout_B;ad7606_rd_n_o <= 0;end
        9,41,73,105:begin data1[12]<= Dout_A;data2[12]<= Dout_B;ad7606_rd_n_o <= 0;end
        11,43,75,107:begin data1[11]<= Dout_A;data2[11]<= Dout_B;ad7606_rd_n_o <= 0;end
        13,45,77,109:begin data1[10]<= Dout_A;data2[10]<= Dout_B;ad7606_rd_n_o <= 0;end
        15,47,79,111:begin data1[9]<= Dout_A;data2[9]<= Dout_B;ad7606_rd_n_o <= 0;end
        17,49,81,113:begin data1[8]<= Dout_A;data2[8]<= Dout_B;ad7606_rd_n_o <= 0;end
        19,51,83,115:begin data1[7]<= Dout_A;data2[7]<= Dout_B;ad7606_rd_n_o <= 0;end
        21,53,85,117:begin data1[6]<= Dout_A;data2[6]<= Dout_B;ad7606_rd_n_o <= 0;end
```

```
23,55,87,119:begin data1[5]<= Dout_A;data2[5]<= Dout_B;ad7606_rd_n_o <= 0;end
25,57,89,121:begin data1[4]<= Dout_A;data2[4]<= Dout_B;ad7606_rd_n_o <= 0;end
27,59,91,123:begin data1[3]<= Dout_A;data2[3]<= Dout_B;ad7606_rd_n_o <= 0;end
29,61,93,125:begin data1[2]<= Dout_A;data2[2]<= Dout_B;ad7606_rd_n_o <= 0;end
31,63,95,127:begin data1[1]<= Dout_A;data2[1]<= Dout_B;ad7606_rd_n_o <= 0;end
33,65,97,129:begin data1[0]<= Dout_A;data2[0]<= Dout_B;ad7606_rd_n_o <= 0;end
34,66,98,130:begin data_a <= data1;data_b <= data2;ad7606_rd_n_o <= 1;end
default:
begin
    ad7606_cs_n_o <= 1;
    data_a <= data_a;
    data_b <= data_b;
    ad7606_convst_o <= 1;
    ad7606_reset_o <= 0;

    data1 <= data1;
    data2 <= data2;
end
endcase
end
endmodule
```

基于 PFGA 开发板的功能测试

对系统功能设计完成并仿真验证通过之后，准备好硬件设施，连接好硬件，就可以对设计的工程进行板级验证测试实验功能。

系统所需硬件

- 1、对应实验开发板。
- 2、AD9606 模块。
- 3、电源线。
- 4、程序下载线。
- 5、串口线。
- 6、信号发生器。

硬件连接

根据前面的描述准备好硬件，我们可以进行连接：

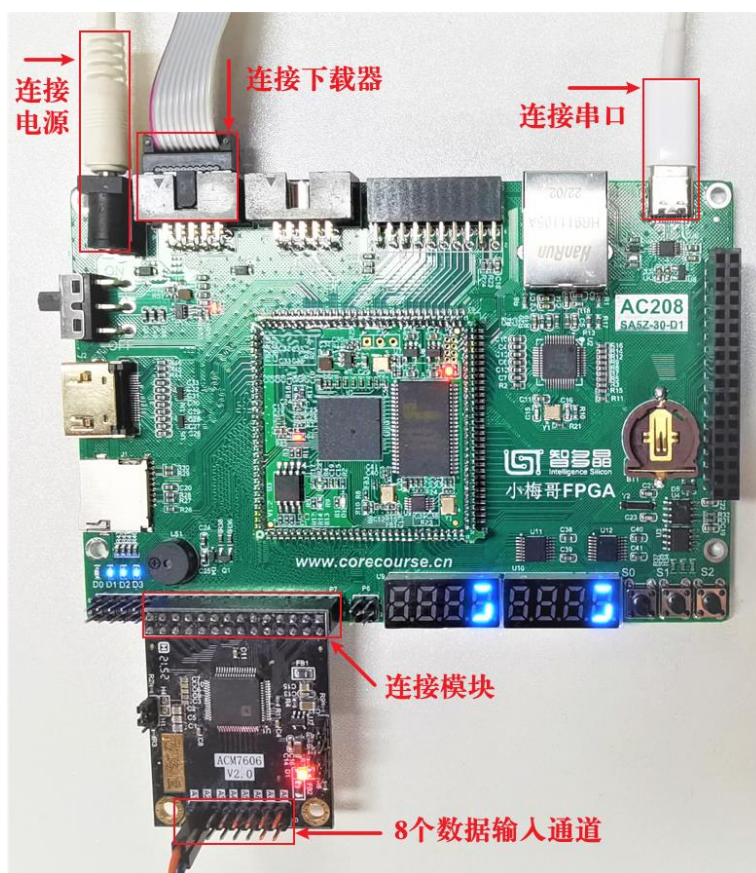
店铺：<https://xiaomeige.taobao.com>

官方网站：www.corecourse.cn

技术博客：<http://www.cnblogs.com/xiaomeige/>

技术群组：

- 1、连接好 ACM7606 发板。
- 2、信号发生器的输出端连接到 ACM7606 道输入端，可根据设置连接不同通道。
- 3、连接好 FPGA 开发板串口线
- 4、连接好开发板电源。
- 5、连接好开发板下载器。



在以上所有模块和线路连接好之后就可以打开开关，开始下载程序。

在信号发生器上设定好采样频率，可使用示波器对信号发生器输入的数据进行观察，确认输入数据是否正常，和采集的数据进行对比验证。

数据采集与分析

打开 sscom5.13.1 串口调试工具。点击多字符串，点击勾选四个指令栏，填入指令：

店铺: <https://xiaomeige.taobao.com>

官方网站: www.corecourse.cn

技术博客: <http://www.cnblogs.com/xiaomeige/>

技术群组:

- 采 8192 个的数据，则设置为：55 A5 02 00 00 20 00 F0
- 采样通道为第一通道，则设置为：55 A5 01 00 00 00 01 F0
采样通道为第二通道，则设置为：55 A5 01 00 00 00 02 F0
- 采样的速率为 50M，指令设置为：55 A5 03 00 00 00 00 F0，
采样的速率为 5k，指令设置为：55 A5 03 00 00 27 0F F0
- 采集使能指令帧设置为：55 A5 00 00 00 00 00 F0

默认不进行设置的情况下以最大速率 190kHz 频率进行采样采集，外接 60MHz 达到 200K，1kHz，4V

