

【第一部分】先把环境搭建起来

本须知主要针对用户在学习和使用芯路恒 ACZ702 开发板是若干常见问题进行说明，避免大家走弯路。希望大家依次阅读。

第一步：给开发板供电

ACZ702 开发板需要使用标配的外接 5V 直流电源供电。开发板输入电源电压最高不能超过 5.5V，请务必使用开发板标配的 5V 电源适配器供电。

//*****

图片

*****//

开发板正常工作要素：

- 1、连接 5V 电源适配器
- 2、开发板右上角的电源开关拨向上方

第二步：安装开发软件

开发板配套开发软件为 Vivado 2018.3，下面提供的软件下载链接与芯路恒 Xilinx ACX720 提供的链接相同，不过在软件的配置上有不同的地方。

链接：<https://pan.baidu.com/s/1jSuDq2J8A5518c3ESpJphA>

提取码：cgf8

如果上述链接失效，请前往 www.corecourse.cn 网站搜索“Vivado”关键词寻找新的下载链接，也可以联系我们的技术人员获取。

Vivado 2018.3 软件安装：

- 1、下载安装包，解压后打开 Vivado2018.3 安装包文件，运行 xsetup.exe 进行安装。

//*****

图片

*****//

- 2、弹出如下界面，可以看到 Vivado2018.3 版本支持运行的系统有 Windows7、Windows10 专业版以及一些 Linux 系统。

//*****

图片

*****//

3、点击 Next 出现协议，勾选 3 处地方的 IAgree。

//*****

图片

*****//

4、点击 Next，选择要安装的组件，这里我们选择 VivadoHLSysEdition 版本,此版本是 VivadoHL 设计的多功能集合版本，添加了用于 DSP 的系统生成器，可以满足更多的设计需求

//*****

图片

*****//

5、点击 Next 选择要安装的一些工具组件，这里可以保持默认。用户也可以根据实际情况，选择当前要使用的器件就可以，可以节省软件安装时间。对于 ZYNQ 系列的芯片，这里我们做适当选择就行。

6、点击 Next，选择要安装的目录，默认为“C:\Xilinx”，用户可以根据自己的实际情况选择安装路径。这里自定义选择安装的目录为“D:\Tools\Xilinx”。
注意，安装路径文件夹需要是以英文命名的，路径不能含有中文。

//*****

图片

*****//

7、点击 Next，进入 InstallationSummary 界面。

8、点击 Install，进入安装过程，安装过程比较慢，这里需要等一段时间。

//*****

图片

*****//

9、安装过程会弹出下面的界面，这里是安装下载器驱动，点击安装。

//*****

图片

*****//

10、安装完成，会弹出 Installationcompletedsuccessfully，点击确认即可。

//*****

图片

*****//

11、安装完成会弹出 LicenseManager 窗口

//*****

图片

*****//

12、选择点击 LoadLicense。

//*****

图片

*****//

13、右边窗口点击 CopyLicense...，弹出选择设置 License 文件存放的路径。

//*****

图片

*****//

14、点击左边窗口 ViewLicenseState，可以看到右边窗口具体加载的一些 License 的情况，如果这里是空的，说明 License 加载失败，返回到上一步骤重新加载 License。

//*****

图片

*****//

15、到此，Vivado 软件安装及 License 的加载就完成了

第三步：安装开发板所需驱动

CP2104—单芯片 USB 转 UART 桥接器驱动安装说明

1、连接开发板 USB 数据线

使用套件提供的 USB 数据线，一端插入 PC 端的 USB 接口，一端插入开发板“Debug_port”USB 接口，如图所示：

//*****

图片

*****//

2、在设备管理器中查看硬件

USB 数据线连接 PC 端后，打开电脑的设备管理器，在设备管理器中查看驱动是否安装，部分电脑可以自动识别芯片并自主安装驱动，或者有的用户电脑在之前已经安装过相关芯片的驱动，设备管理器的“端口（COM 和 LPT）”下面会出现对应的 COM 口。

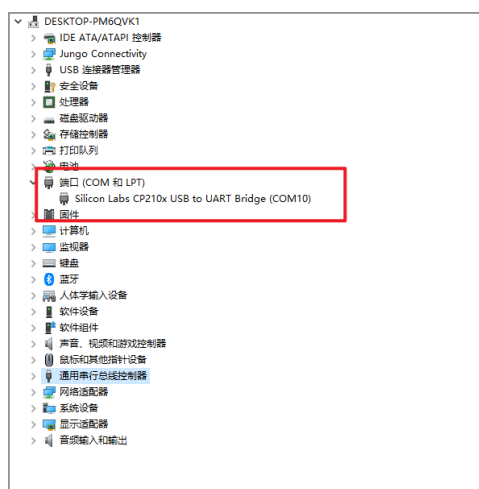


图 1

这样就不需要再安装驱动。倘若电脑未成功自动安装，在设备管理器中就不会出现该硬件信息。如果“端口（COM 和 LPT）”和“其他设备”中均没有该硬件，请再次确认开发板和 PC 端的连接情况是否完好。如果都接好了，考虑使用的 USB 线是否存在问题。可以尝试更换 USB 线测试。

3、运行驱动安装包

在开发板配套资料中找到“cp2104_Drivers.zip”文件，解压文件，双击运行文件中的“CP210xVCPInstaller.exe”文件，支持 windows10 X32 及 X64 位操作系统。

名称	修改日期	类型	大小
x64	2021/8/27 17:36	文件夹	
x86	2021/8/27 17:36	文件夹	
CP210xVCPInstaller_x64	2017/9/28 1:58	应用程序	1,026 KB
CP210xVCPInstaller_x86	2017/9/28 1:58	应用程序	903 KB
dpinst	2017/9/28 1:45	XML 文档	12 KB
SLAB_License_Agreement_VCP_Windo...	2017/9/28 1:46	文本文档	9 KB
slabvcp	2018/6/2 4:35	安全目录	11 KB
slabvcp	2018/6/2 4:35	安装信息	8 KB
v6-7-6-driver-release-notes	2018/6/16 2:51	文本文档	16 KB

图 2

电脑会出现如下弹窗。



图 3

点击‘下一页’。



图 4

选着‘我接受这个协议’，然后点击‘下一页’。

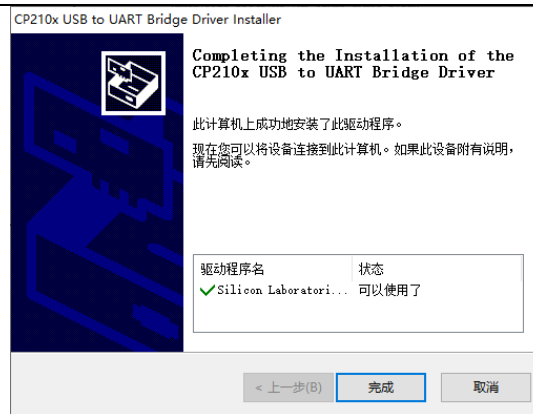


图 5

安装完成后，再次连接数据线，打开电脑的设备管理器，查看驱动安装结果，如下图出现相关硬件信息即为安装成功。

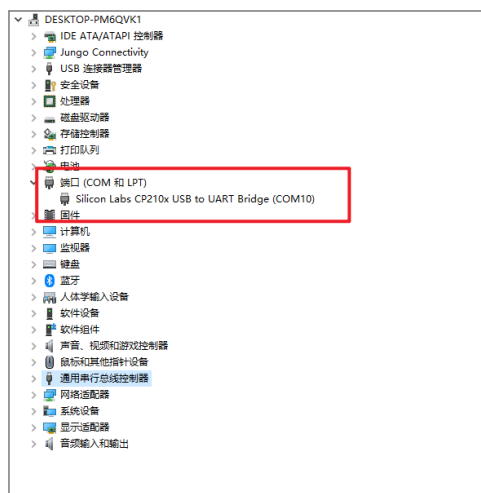


图 6

第四步：了解我们提供的学习资料

ACZ702 开发板主要提供三种类型的资料

- 1、 教程文档
- 2、 例程源码
- 3、 视频教程

教程文档

《ACZ702 开发用户手册》

例程源码

视频教程

第五步：学习建议

第六步：关于开发板引脚分配

第七步：关于学习或实验中遇到的问题

【第二部分】熟悉开发板的各个电路结构

一、芯路恒 ACZ702 开发板功能特点

1 功能组件

如下图，展示了芯路恒 ZYNQ 开发板的图片，该图描绘了 ACZ702 开发板的开发版布局、接插件以及一些关键元件的位置信息。

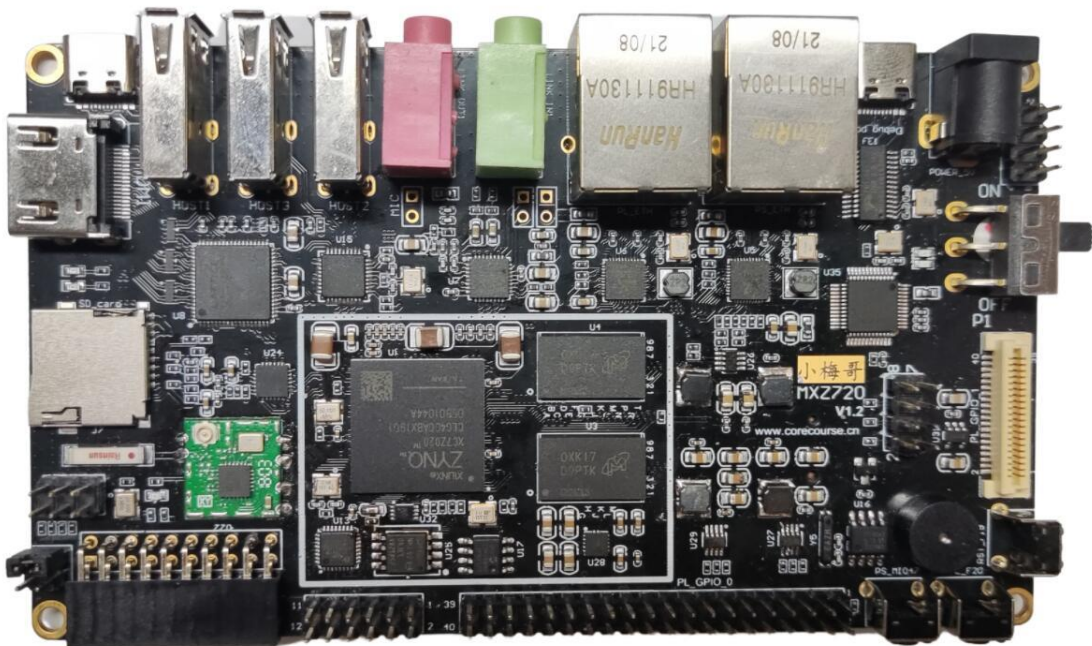


图 7

1	XC7Z020-2CLG400I	10	TCM811TERCTR	19	93LC56BT-I/OT
2	MT41J128M16HA-187 E:D	11	无源蜂鸣器	20	MP2143DJ
3	RTL8211FDI	12	RTL8188FTV		
4	SIL9022A	13	KLM8G1GEME-B04 1		
5	WM8960CGEFL/RV	14	TXS02612RTWR		
6	USB3320	15	N25Q128A		
7	USB2514B-AEZC-TR	16	CP2104-F03-GM		
8	PCF8563T	17	FE1.1s		
9	24LC64	18	FT232HL		

二、开发板使用

本章主要介绍芯路恒 ACZ702 ZYQN 开发板的使用说明，同时对 ACZ702 开发板的所有组件进行了详细的描述。

2.1 ZYNQ 开发板启动方式

ZYNQ 支持 JTAG、QSPI、SDcard、NAND4 种启动方式。启动方式的选择由 MIO4 和 MIO5 两个引脚进行控制，此外在 ACZ702 开发板上 MIO4 与 PS_QSPI_DQ2、MIO5 与 PS_QSPI_DQ3 引脚复用。

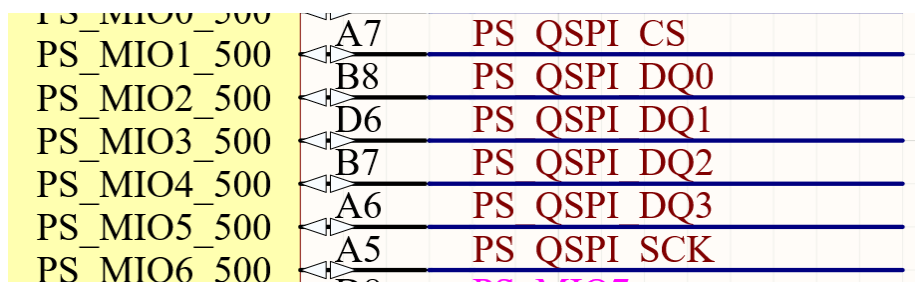


图 8

表 1 ZYNQ 启动方式与 MIO4、MIO5 的对应关系为

JTAG	MIO4 高电平、MIO5 高电平
QSPI	MIO4 低电平、MIO5 高电平
SD card	MIO4 低电平、MIO5 低电平
NAND	MIO4 高电平、MIO5 低电平（未使用）

在芯路恒 ACZ702 开发板上，我们对 MIO4 和 MIO5 两个引脚的电平控制方

式如下

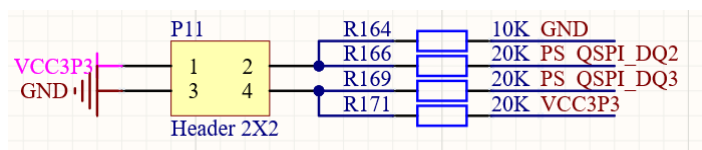


图 9

通过跳线帽对引脚的电平进行控制，具体的使用方法如：

/*****

(实际图片)

*****/

表 2

	MIO4 + 3.3V	MIO5 + GND
JTAG	断开	短接
QSPI	断开	断开
SD card	短接	断开
NAND	芯路恒 ACZ702 开发板未设计使用板载 NAND FLASH	

2.2 轻触按键

芯路恒 ACZ702 开发板上配备了三个侧按按键，PL 端与 PS 端各一个，以及一个复位按键，在没有按键按下时，此三个按键端输出的都是高电平，当按键按下时，被按下的按键端会输出低电平。

其中，S3 为复位按键，连接到 PS 端的 PS_PRO_B，也是 PS 系统的全局复位脚。S1 与 S1 可以由用户自行支配使用，S1 连接到 PS 端的 MIO47 引脚，S2 连接到 PL 端的 F20 引脚。

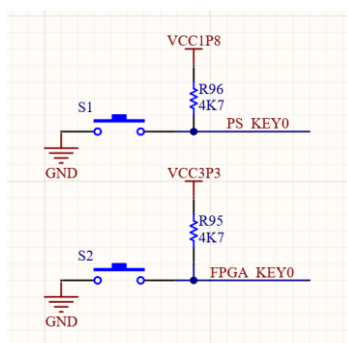


图 10

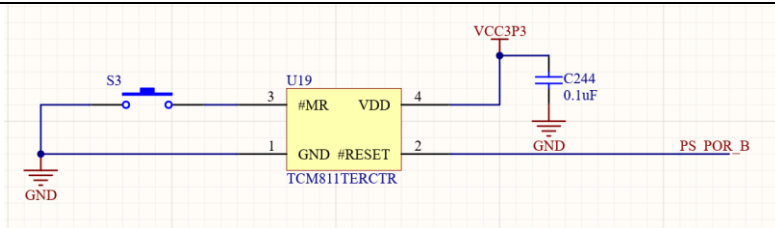


图 11

表 3 按键管脚分配

Signal Name	Pin NO.
S1	PS_MIO47
S2	PL_F20
S3	PS_POR_B

2.3 用户 LED

芯路恒 ACZ702 开发板上配备了两个用户 LED，也是 PL 端与 PS 端各一个，LED 灯 D4 连接在 PS 端，LED 灯 D5 连接在 PL 端。当引脚输出高电平时，LED 点亮，当引脚输出低电平时，LED 熄灭。

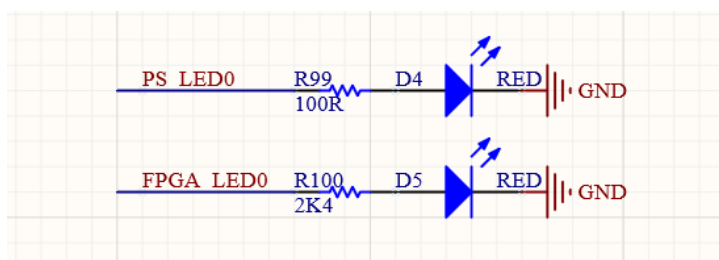


图 12

表 4 LED 管脚分配表

Signal Name	Pin NO.
PS_LED0	PS_MIO7
FPGA_LED0	PL_T14

2.4 无源蜂鸣器

芯路恒 ACZ702 开发板上使用了一个 NPN 型三极管 SS8050LT 与无源蜂鸣器为主体，构建了蜂鸣器的电路，用户可以根据自己的喜好播放音乐，也可以将蜂鸣器作为报警装置，在某些需要的时刻发出警报声，相关电路如下：

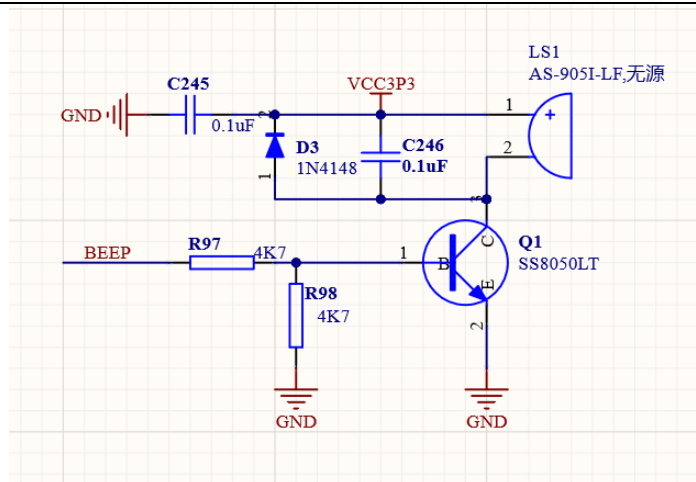


图 13

表 5 蜂鸣器管脚分配表

Signal Name	Pin NO.
BEEP	PL_G15

2.5 时钟输入

芯路恒 ACZ702 开发板 PL 端与 PS 端各有独立的基本时钟。PL 端为 50MHz，PS 端为 33.333MHz。

表 6 PL 端时钟管脚分配表

Signal Name	Pin NO.
FPGA_GCLK	PL_U18

2.6 GPIO 接口

芯路恒 ACZ702 开发板提供了 1 个 40Pin 的通用标准接口用于 PL 端的 GPIO 接口。该接口输出了 DC+5V(VCC5.0)，DC+3.3V(VCC3P3)，和两个接地的引脚，端口名为 PL_GPIO0。下图展示了 PL_GPIO0 的端子与 PL 端管脚的连接关系。

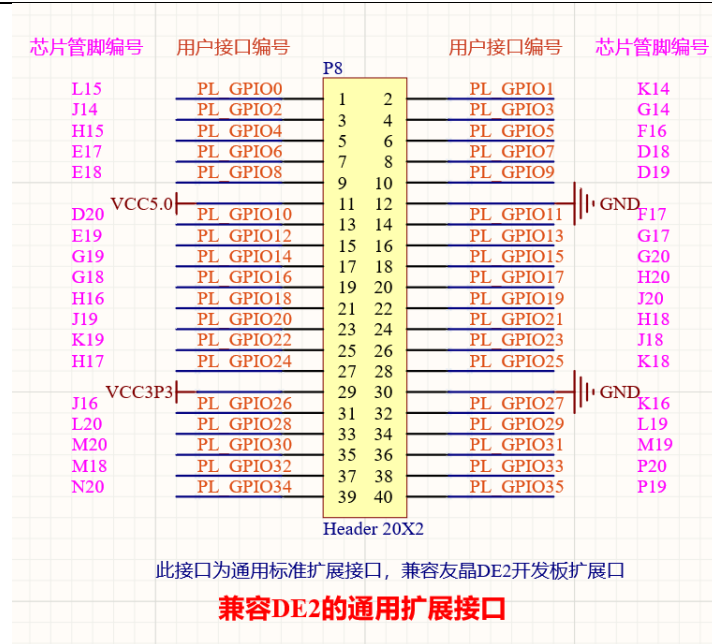


图 14

表 7 ACZ702 开发板 PL_GPIO0 管脚分配表

Signal Name	Pin NO.	Signal Name	Pin NO.
PL_GPIO0	L15	PL_GPIO18	H16
PL_GPIO1	K14	PL_GPIO19	J20
PL_GPIO2	J14	PL_GPIO20	J19
PL_GPIO3	G14	PL_GPIO21	H18
PL_GPIO4	H15	PL_GPIO22	K19
PL_GPIO5	F16	PL_GPIO23	J18
PL_GPIO6	E17	PL_GPIO24	H17
PL_GPIO7	D18	PL_GPIO25	K18
PL_GPIO8	E18	电源	3.3V
PL_GPIO9	D19	接地	GND
电源	5V	PL_GPIO26	J16
接地	GND	PL_GPIO27	K16
PL_GPIO10	D20	PL_GPIO28	L20
PL_GPIO11	F17	PL_GPIO29	L19
PL_GPIO12	E19	PL_GPIO30	M20
PL_GPIO13	G17	PL_GPIO31	M19
PL_GPIO14	G19	PL_GPIO32	M18
PL_GPIO15	G20	PL_GPIO33	P20
PL_GPIO16	G18	PL_GPIO34	N20
PL_GPIO17	H20	PL_GPIO35	P19

ACZ702 还提供了 1 个 12Pin 的接口用于 PS 端的 GPIO 接口。该接口同样输出了 DC+5V(VCC5.0)，DC+3.3V(VCC3P3)，和两个接地的引脚，端口名为 PS_GPIO。下图展示了 PS_GPIO 的端子与 PS 端管脚的连接关系。

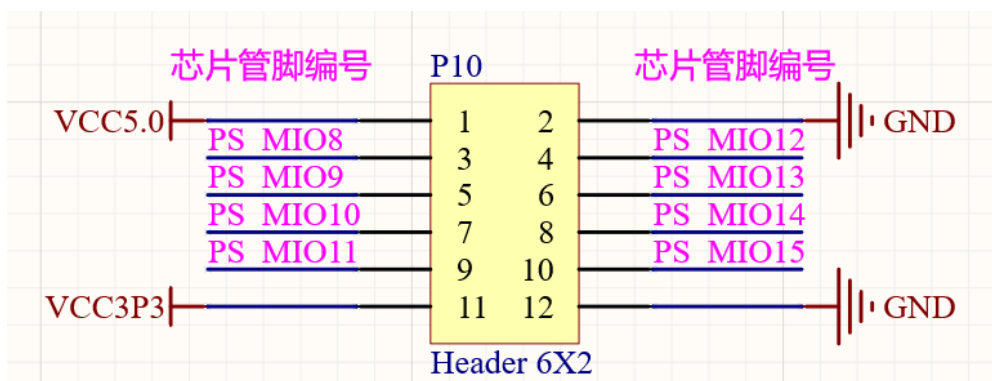


图 15

另外，还提供有 1 个 40Pin 的板对板接口用于 PL 端的 GPIO 接口。端口名为 PL_GPIO1。

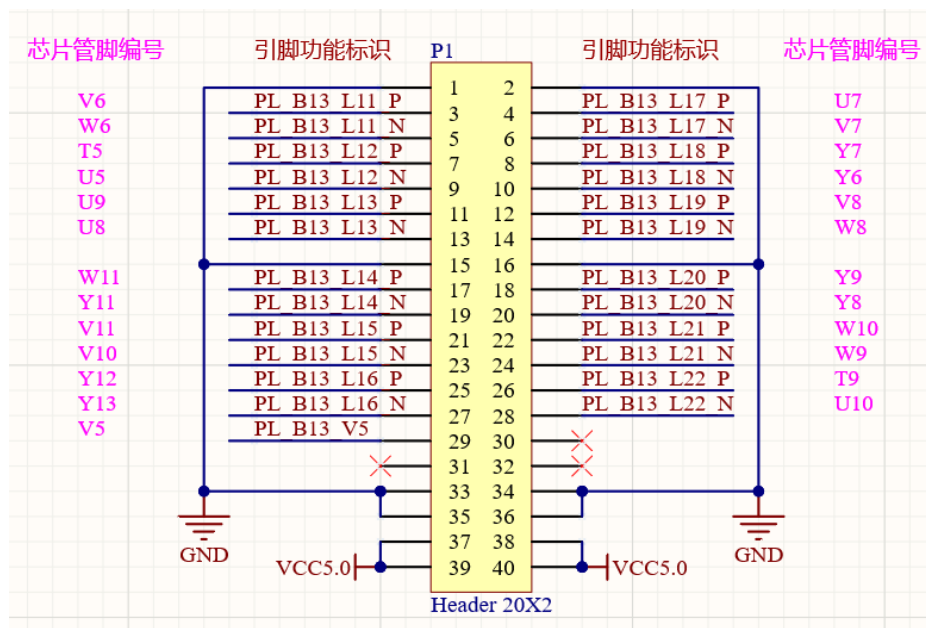


图 16

表 8 ACZ702 开发板 PL_GPIO1 管脚分配表

Signal Name	Pin NO.		Signal Name	Pin NO.
PL_B13_L11_P	V6		PL_B17_L17_P	U7
PL_B13_L11_N	W6		PL_B13_L17_N	V7
PL_B13_L12_P	T5		PL_B13_L18_P	Y7
PL_B13_L12_N	U5		PL_B13_L18_N	Y6
PL_B13_L13_P	U9		PL_B13_L19_P	V8
PL_B13_L13_N	U8		PL_B13_L19_N	W8
PL_B13_L14_P	W11		PL_B13_L20_P	Y9
PL_B13_L14_N	Y11		PL_B13_L20_N	Y8

PL_B13_L15_P	V11		PL_B13_L21_P	W10
PL_B13_L15_N	V10		PL_B13_L21_N	W9
PL_B13_L16_P	Y12		PL_B13_L22_P	T9
PL_B13_L16_N	Y13		PL_B13_L22_N	U10
PL_B13_V5	V5			

ACZ702 开发板右上角还有一组引出自 PL 端的引脚。

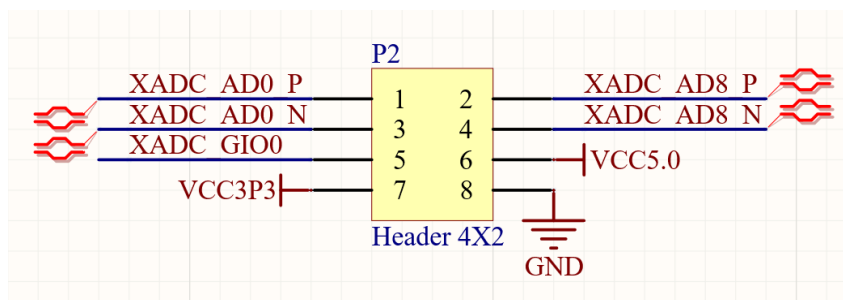


图 17

表 9 ACZ702 开发板 P2 引脚分配表

Signal Name	Pin NO.
XADC_AD0_P	C20
XADC_AD8_P	B19
XADC_AD0_N	B20
XADC_AD8_N	A20
XADC_GIO0	R19

2.7 USB 转串口

芯路恒 ACZ702 开发板使用了一个高速四端口集线器（FE1.1S），将一路 USB 信号拓展为两路，分别用于 UART 和 JTAG。USB 转 UART 芯片使用的是 CP2104，USB 转 JTAG 芯片使用的是 FE232HL。

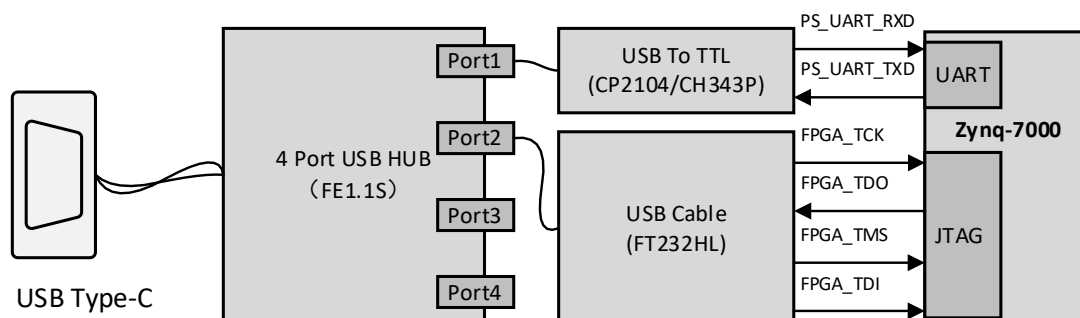


图 18

表 10

Signal Name	Pin NO.
PS_UART_TXD	PS_MIO48
PS_UART_RXD	PS_MIO49

2.8 IIC 总线

在芯路恒 ACZ702 开发板上有四个设备共用一个 IIC 总线。分别为 24LC64 的 Eeprom 存储器、PCF8563 型实时时钟、SII9022A 视频音频接口芯片、电容触摸屏控制芯片 GT911。

表 11 I2C 管脚分配表

Signal Name	Pin NO.
PS_I2C0_SDA	PS_MIO51
PS_I2C0_SCL	PS_MIO50

每个 IIC 设备都有一个设备地址，上述设备的设备地址如下表所示：

表 12

器件名称	器件地址
24LC64	0XA0
PCF8563	0XA2
SII9022A	0X39
GT911	0X14

2.9 LCD 软排线接口、HDMI 接口

在 ACZ702 开发板上，LCD 软排线接口与 HDMI 接口在 PL 端复用在了一起，使用了相同的引脚，所以 LCD 无法与 HDMI 功能同时使用，同时使用两者的信号会产生干扰，导致图像模糊。

表 13

Signal Name	Pin NO.		Signal Name	Pin NO.
Display_R0	T15		Display_B0	Y17
Display_R1	V16		Display_B1	W16
Display_R2	V17		Display_B2	Y18
Display_R3	W19		Display_B3	W18
Display_R4	W20		Display_B4	Y19
Display_G0	U19		Display_PCLK	U15
Display_G1	R16		Display_HSYNC	U14
Display_G2	T16		Display_VSYNC	W14
Display_G3	V18		Display_DE	W15
Display_G4	U17		Display_BL	R17
Display_G5	V20			

LCD 显示屏相较于 HDMI 还多出触摸复位 (TP_RST) 和触摸中断 (TP_INT) 两个引脚。

表 14

Signal Name	Pin NO.
TP_RST	PL_F19
TP_INT	PS_MIO0

2.10 千兆以太网接口

芯路恒 ACZ702 开发板通过两片 Realtek 的 RTL8211FDI 以太网 PHY 提供对以太网连接的支持，RTL8211 是一片 10M/100M/1000M 自适应以太网收发器，提供 GMII/RGMII/MII/SNI 接口的 MAC 连接。PS 端与 PS 端各设计有一个千兆以太网接口。

表 15 PS_ETH 引脚分配表

Signal Name	Pin NO.
PS_ENET1_RX_DATA0	PS_MIO23
PS_ENET1_RX_DATA1	PS_MIO24
PS_ENET1_RX_DATA2	PS_MIO25
PS_ENET1_RX_DATA3	PS_MIO26
PS_ENET1_RX_CLK	PS_MIO22
PS_ENET1_RX_DV	PS_MIO27
PS_ENET1_TX_DATA0	PS_MIO17
PS_ENET1_TX_DATA1	PS_MIO18
PS_ENET1_TX_DATA2	PS_MIO19
PS_ENET1_TX_DATA3	PS_MIO20
PS_ENET1_TX_GCLK	PS_MIO16
PS_ENET1_TX_EN	PS_MIO21
PS_ENET1_MDIO	PS_MIO53
PS_ENET1_MDC	PS_MIO52

表 16 PL_ETH 引脚分配表

Signal Name	Pin NO.
PL_ENET1_RX_DATA0	P14
PL_ENET1_RX_DATA1	V15
PL_ENET1_RX_DATA2	Y16
PL_ENET1_RX_DATA3	P15
PL_ENET1_RX_CLK	N18
PL_ENET1_RX_DV	Y14
PL_ENET1_TX_DATA0	R18
PL_ENET1_TX_DATA1	T19
PL_ENET1_TX_DATA2	T20

PL_ENET1_TX_DATA3	U20
PL_ENET1_TX_GCLK	P16
PL_ENET1_TX_EN	T17
PL_ENET1_MDIO	PS_MIO53
PL_ENET1_MDC	PS_MIO52

2.11 USB2.0 高速传输

芯路恒 ACZ702 开发板使用一个连接 PS 端的 USB3320 芯片作为 USB2.0 收发器芯片，又使用了一个 USB2514B-AEZC-T 芯片作为 USBHUB 芯片，扩展出 4 路 USBHOST 接口供用户使用，其中 3 路用于 USB2.0 接口。此外 USB3320 芯片也外扩了一个 SLAVE 模式的 TYPE-C 接口供用户使用。

表 17

Signal Name	Pin NO.
PS_USB_DATA0	PS_MIO32
PS_USB_DATA1	PS_MIO33
PS_USB_DATA2	PS_MIO34
PS_USB_DATA3	PS_MIO35
PS_USB_DATA4	SP_MIO28
PS_USB_DATA5	PS_MIO37
PS_USB_DATA6	PS_MIO38
PS_USB_DATA7	PS_MIO39
PS_USB_CLKOUT	PS_MIO36
PS_USB_STP	PS_MIO30
PS_USB_DIR	PS_MIO29
PS_USB_NXT	PS_MIO31

2.12 WiFi 模块

ACZ702 开发板使用 RTL8188FTV 模块来实现 wifi 功能，上述 USB2.0 功能中，USB2514B-AEZC-T 芯片扩展出 4 路 USBHOST 接口，多出的一路便使用在 WiFi 功能。

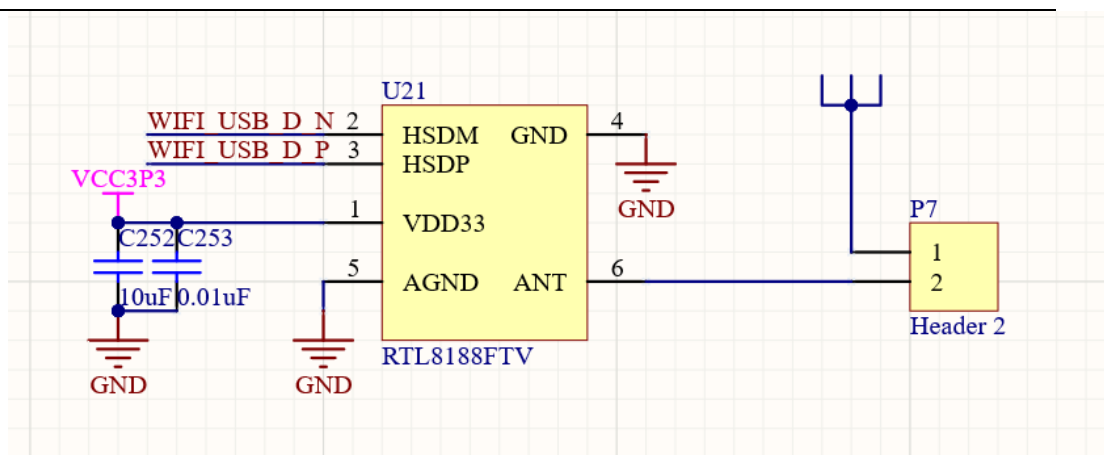


图 19

2.13 I2S 音频编解码接口

ACZ702 开发板的音频解码芯片使用的是 WM8960。WM8960 是一款低功耗、高质量的立体声编解码器，具备 4 个高度灵活的输入配置，可集成多达 3 个立体声源，具有完整的麦克风接口。外部组件的要求大大降低，不需要单独的麦克风，扬声器或耳机放大器。

表 18 音频编解码器管脚分配表

Signal Name	Pin NO.
I2S_MCLK	T11
I2S_BCLK	V12
I2S_DACLRC	T12
I2S_DACDAT	W13
I2S_ADCLRC	U12
I2S_ADCDAT	V13
AUD_I2C_SDA	R14
AUD_I2C_SCL	T10

2.14 CMOS 摄像头专用接口

ACZ702 开发板板载的 CMOS 接口可以用来连接 OV7670 (30W)、OV7725 (30W)、OV2640 (200W)、OV5640 (500W) 等常用图像采集摄像头。配合芯路恒板载的片外 SDRAM 数据存储器，用户可以进行数字图像的采集处理，也可以很方便地验证图像领域的各种算法。

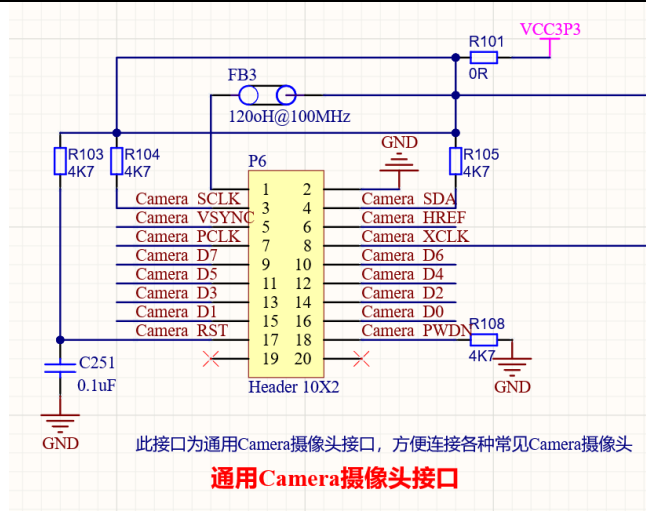


图 20

表 19 摄像头接口管脚分配表

Signal Name	Pin NO.
Camera_D0	J15
Camera_D1	M14
Camera_D2	N15
Camera_D3	L14
Camera_D4	M15
Camera_D5	K17
Camera_D6	L17
Camera_D7	L16
Camera_SCLK	N17
Camera_SDA	P18
Camera_VSYNC	N16
Camera_HREF	U13
Camera_PCLK	M17

2.15 Micro SD 卡接口、EMMC

ACZ702 开发板使用了 TXS02612RTWR 芯片，该芯片是一个具有电压电平转换功能的 SDIO 端口扩展器，将 Micro SD 卡接口与 EMMC 复用到了一起，连接到了 ZYNQ 的 PS 端。

表 20

Signal Name	Pin NO.
PS_SDMMC_DATA0	PS_MIO42
PS_SDMMC_DATA	PS_MIO43
PS_SDMMC_DATA	PS_MIO44
PS_SDMMC_DATA	PS_MIO45

PS_SDMMC_CMD	PS_MIO41
PS_SDMMC_CLK	PS_MIO40