

# AC506-SoC FPGA 核心板规格书



武汉芯路恒科技有限公司

# 引言

随着信息技术的高速发展，各行各业正趋向于通过资源整合、并购的方式来获得更强更稳固的竞争力，芯片架构亦是如此。单“芯”“SoC 方案（System on Chip）”拥有的低功耗、低成本、低布线面积以及高整合、高性能、高带宽（内部互联）的优势正推动其引领电子系统设计潮流。

在传统的芯片架构中，处理器、DSP、FPGA 往往都各自独立，互不相干。当一个系统需要用到处理器、DSP、FPGA 中的多个元件时，则采用板级集成的方式，在一块电路板上设计复杂的电路，将他们通过 PCB 板走线连接到一起。此种方式设计的系统，不仅设计生产成本低，而且受限于 PCB 走线和 I/O 管脚性能的影响，无法实现高带宽的数据通信。设计师们都期待着有那么一种芯片，能够同时拥有处理器、FPGA、DSP 的特点，各个架构的优势强强联合，提升电子系统设计的便利性。

顺应时代的需求，亦如当年麻雀虽少，功能俱全的“单”片机出世，各大传统 FPGA 厂家都顺势推出了带有嵌入式硬核处理器的 SoC FPGA。如 Intel FPGA 部门基于不同应用场景推出的带有 Cortex-A9、Cortex-A53、至强 CPU 等一系列涵盖低、中、高端的 SoC FPGA 器件，Xilinx 推出的带有 Cortex-A9、Cortex-A53 处理器的 Zynq 系列 FPGA。

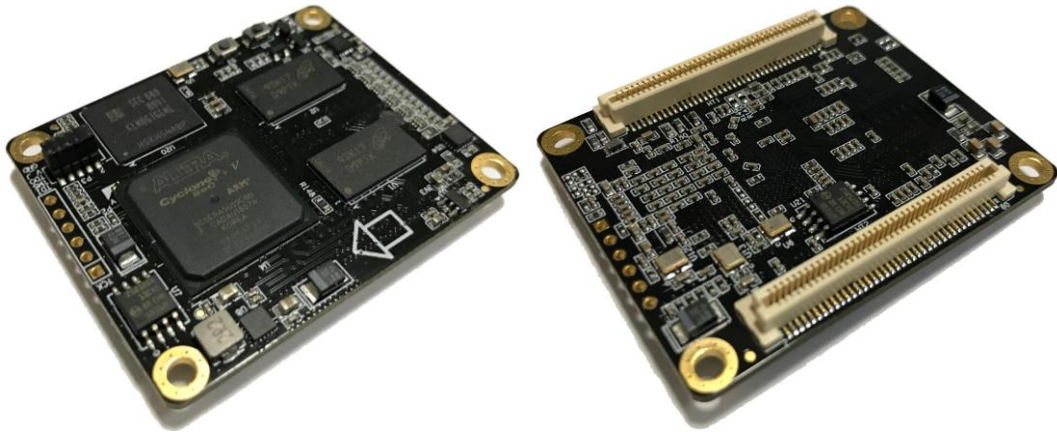
同时集成处理器和 FPGA 的器件具有划时代的意义，自此 ARM 和 FPGA 的优势共存一体。ARM 的顺序控制、丰富外设，开源驱动、FPGA 的并行运算、高速接口、灵活定制的特性交错相融，相得益彰。再加上其内部多条高速桥接总线，使得两者的数据交互链路畅行无阻。

无论是 Xilinx 的 Zynq 全可编程系列 FPGA，还是 Intel 的 SoC FPGA，其基本架构都是在同一个硅片上集成 FPGA 和 CPU，并通过高速、高带宽的互联架构连接起来。本质相同，架构和性能也都非常相似。

在此背景下，广大企业客户对 Intel Cyclone V SOC FPGA 系列器件有着较为强烈的应用需求。而由于该系列器件硬件设计复杂，密度较高，每次根据特定的需求设计相应的电路会增加不少的成本，而且不利于调试和生产。因此对于基于该器件的核心板/最小系统的需求就非常的迫切。

# 简介

AC506-SOC FPGA 核心板是武汉芯路恒科技有限公司在几年的 SOC FPGA 系统开发过程中综合众多客户应用需求设计开发的一款基于 Intel Cyclone V SE 系列 SOC FPGA 芯片的高性能核心板。本核心板可提供 60 个 FPGA I/O 管脚供用户使用，并引出了 HPS 侧的众多 GPIO。这些 HPS 侧的 GPIO 可以用作以太网、USB、UART、SPI、I2C、CAN 等功能，也可以复用做 FPGA 侧的功能 IO。



核心板使用 8 层 PCB 设计，以 Cyclone V 系列中的 5CSEBA2U19 或 5CSEBA5U19 器件为核心，外接由 2 片 256MB、16 位宽的 DDR3（MT41K128M16JT-125:K）组成的 32 位内存模组。并集成了 8GB 的 EMMC（KLM8G1GEME-B041）存储器，作为电子硬盘存储 Uboot 和 Linux 系统镜像及文件系统。另外核心板上为 FPGA 和 ARM 分别提供了 1 片 QSPI FLASH，可以作为存储 ARM 程序镜像和 FPGA 配置文件的存储器。

核心板本身无法独立工作，需要安置到适配的底板上才能正常工作。核心板使用 2 个 0.8mm 间距，80pin 的板对板连接器与底板进行连接。核心板上自带生成各器件工作所需的各种电压的电源管理电路，底板仅需对核心板提供一路最大输出电流不低于 3A 的 3.3V 电源，核心板即可正常工作。

## 核心板详解

本节介绍 AC506-SOC 核心板的功能和接口配置。便于用户在使用核心板时对核心板有个整体的把握。

## SOC FPGA 主控：

- 可选型号一：5CSEBA2U19I7N。该型号可工作在工业级温度范围(-40℃~100℃)，拥有 25K 的 FPGA 逻辑单元
- 可选型号二：5CSEBA5U19C8N。该型号可工作在商业级温度范围(0℃~85℃)，拥有 82K 的 FPGA 逻辑单元

芯片包含一个双核的 Cortex-A9 硬件处理器系统（HPS）和一定容量的现场可编程逻辑资源（FPGA）。

两个型号的芯片，其 HPS 部分是完全相同的。基于 Cortex-A9 硬件处理器系统(HPS)运行主频高达 800MHz，并拥有下述硬件外设：

- 双核 Cortex-A9 硬处理器系统（HPS）
- DDR3 控制器 x1
- 千兆以太网 MAC 控制器 x2
- NAND FLASH 控制器 x 1
- QSPI FLASH 控制器 x1
- SD/MMC 控制器 x1
- SPI 主机控制器 x2
- SPI 从机控制器 x2
- USB 控制器 x1
- UART 控制器 x2
- I2C 控制器 x4
- CAN 控制器 x2

两款可选芯片的差别主要体现在两个方面，一是 FPGA 侧的资源容量区别，5CSEBA2U19I7N，拥有 25K 的逻辑资源容量，5CSEBA5U19C8N 拥有 82K 的逻辑资源容量；二是 5CSEBA2U19I7N 的工作温度范围比 5CSEBA5U19C8N 广。对于用户来说，如果是实验室开发调试项目，或者产品不需要运行在室外等气温条件非常苛刻的环境下，可以考虑仅使用商业级温度器件，如果是一定要使用在低温或高温条件下，则需要使用工

业级温度器件

## DDR3 存储器:

MT41K128M16JT-125:IT K, 256MB DDR3 存储器, 数据线位宽为 16 位。标称速率为 1600Data Rate (MT/s), 远高于 SOC FPGA 器件中自带的 DDR3 控制器的 400MHz 工作频率。工作温度范围为工业级温度范围 (-40°C~95°C)。

核心板上使用两片该器件, 地址线和控制线复用, 数据线并列, 以构成 32 位硬件数据线位宽、512MB 存储容量的内存模组, 为 HPS 提供更高的内存带宽。

另外, 如果批量应用的客户, 可以根据用量订购 1GB 内存容量的核心板。默认提供的都是 512MB 版本。

特别说明: 由于内存市场长久以来一直存在供货和价格方面的波动, 鉴于 DDR3 存储器的高度通用和可替换特性, 我们不保证所有生产批次的核心板都使用同一个厂家或型号的 DDR3 存储器, 但是保证每一个核心板都能稳定的工作。

## EMMC 存储器

KLM8G1GEME-B041, 8GB 容量 EMMC 存储器, 用来存储 Uboot 和 Linux 系统镜像及文件系统, 由 HPS 中自带的 EMMC 控制器进行读写控制, 可作为 HPS 的启动位置。由于 SOC FPGA 器件引脚有限, 本核心板上的 EMMC 仅使用 4bit 数据线位宽。

特别说明: 由于闪存市场长久以来一直存在供货和价格方面的波动, 鉴于 EMMC 存储器的高度通用和可替换特性, 我们不保证所有生产批次的核心板都使用同一个厂家或型号的 EMMC 存储器, 但是保证每一个核心板都能稳定的工作。

## QSPI FLASH

N25Q128A13ESE40F, 128Mbit QSPI FLASH 存储器, 核心板上设计了两个, 分别连接到 HPS 和 FPGA 的 FLASH 控制器。用作不同的功能

HPS 侧 QSPI FLASH 由 HPS 自带的 QSPI 控制器控制进行读写, 可作为 HPS 的启动位置。用来存储 HPS 的镜像文件, 例如 UBOOT 镜像等。该器件位于核心板的底部。

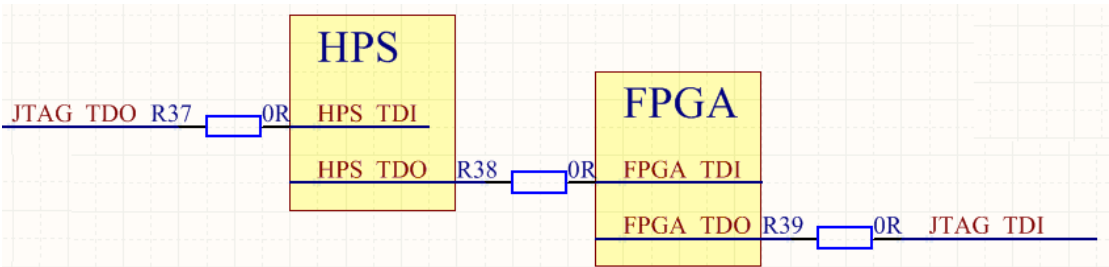
FPGA 侧的 QSPI FLASH 连接到了 FPGA 的 EPCS 控制器上，可以用来存储 FPGA 的配置固件，以 AS 模式在 FPGA 上电时对其进行配置加载。该器件位于核心板的顶部。

## 电源

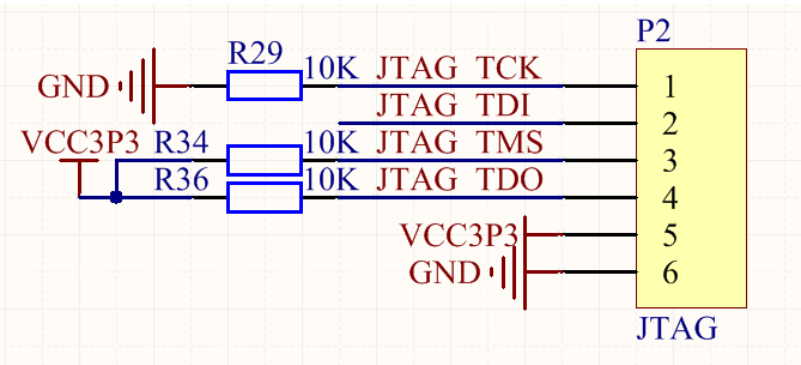
核心板板载 3.3V 转 1.1V、1.5V、2.5V 等电源轨的电压转换电路，供核心板上各个器件正常工作。核心板工作时，仅需由底板通过板对板连接器提供一路输出电流不低于 3A 的 3.3V 电源即可。

## JTAG 调试接口

核心板上 JTAG 使用串行方式连接 SOC FPGA 中的 HPS 和 FPGA 部分，如下图所示。



JTAG 信号在核心板上使用 6pin 的排针引出。并连接好了所需的上下拉电阻，调试时只需要使用 USB Blaster 连接这些信号即可进行调试。其中 VCC3P3 信号连接到了核心板上的 3.3V 电压，作为输出，可以给部分需要从目标板取电的 USB Blaster 使用。



下图为该接口在核心板上的位置，其中方形焊盘为 1 脚。





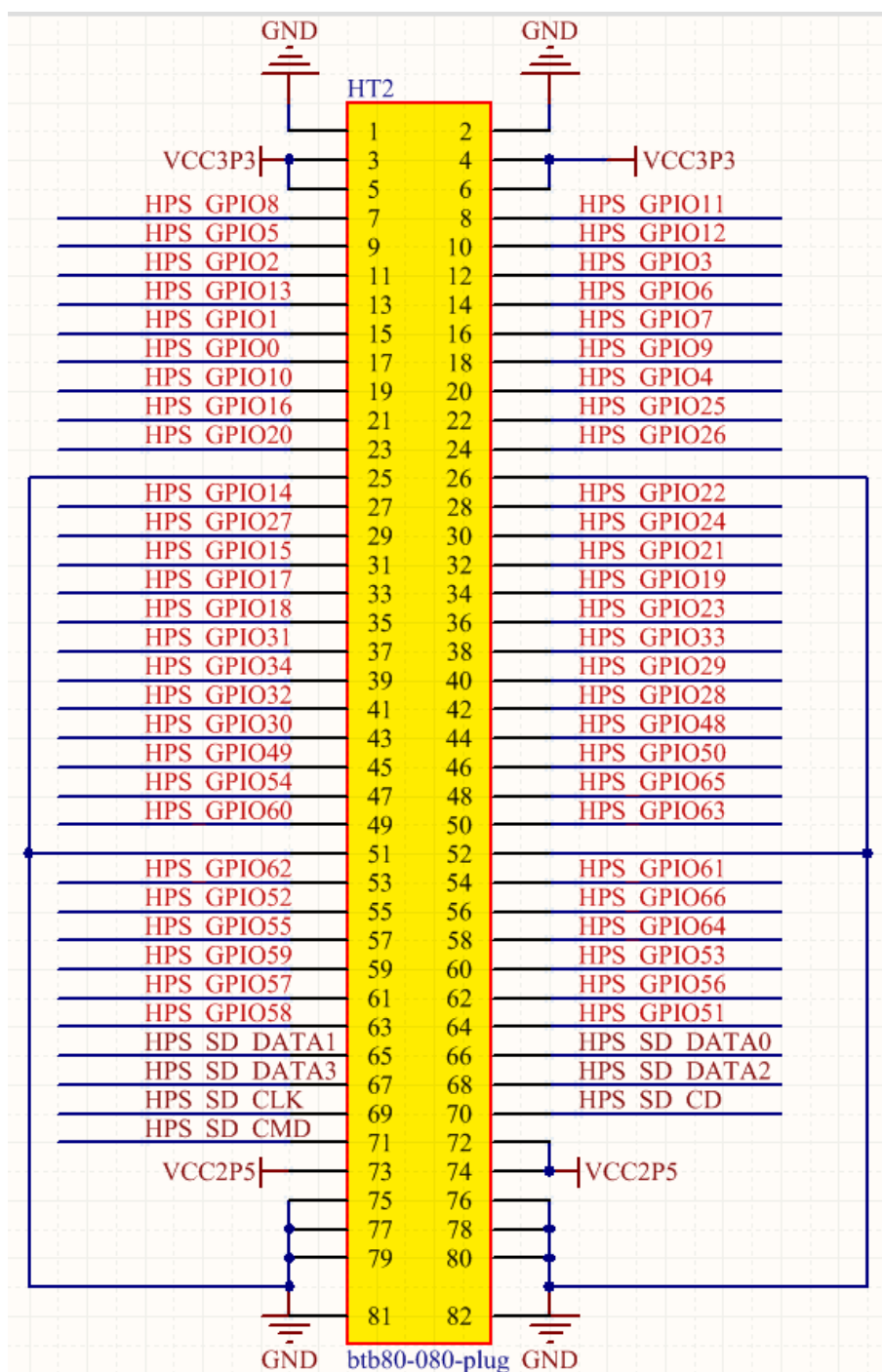
## 用户接口

AC506-SOC 核心板使用两个 0.8mm 间距的 80 脚板对板连接器与底板进行连接，如下图所示。



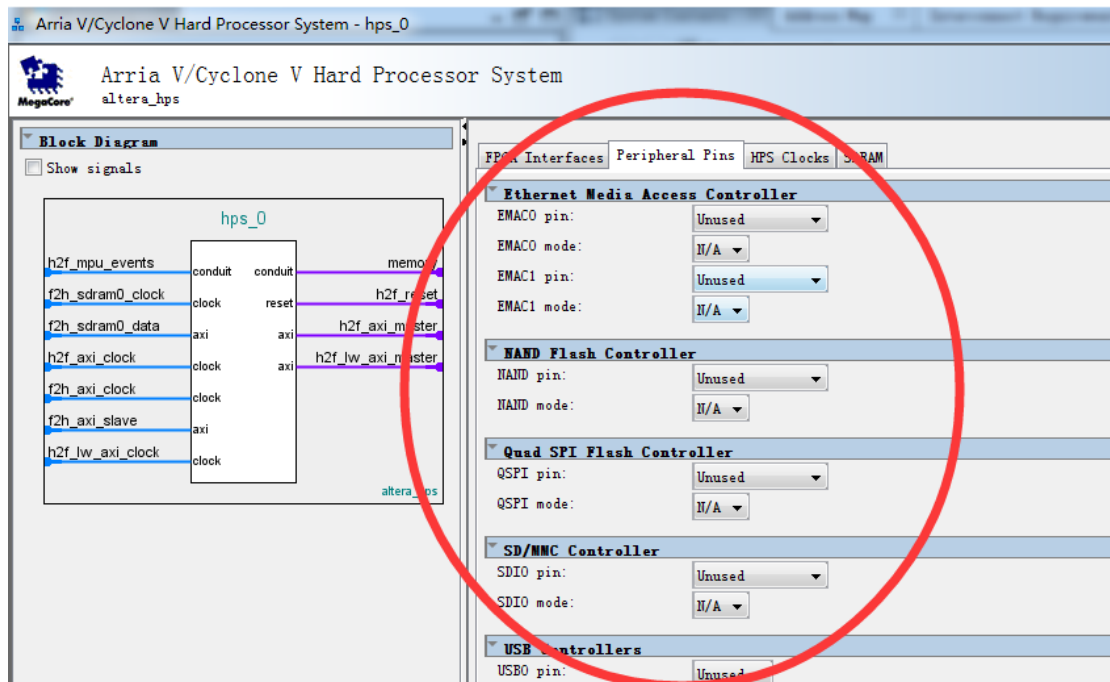
## HPS 侧用户接口

核心板上，从背面看，靠近 8 脚 QSPI FLASH 的一组连接器标号为 HT2（从正面看，位于 EMMC 存储器一侧），上面主要分布着 HPS 侧的信号，如下图所示。



由于 HPS 侧的每个管脚的功能都是固定的，但是每个管脚又不止有一种功能，具体每个管脚对应的是哪个功能，是根据 Uboot 中的设置来确定的。对于用户来说，在 Platform Designer (Qsys) 中配置 HPS 的管脚交互矩阵，即可设定每个管脚的具体功能。





在该界面的下方，有一个名为外设矩阵表的表格，该表格中详细列出了每个管脚对应的哪些功能。用户使用该核心板设计自己的底板时，需要先在 Platform Designer（Qsys）中根据自己的需求对每个引脚进行配置，并在 Platform Designer（Qsys）无错误提示的情况下，才能得到准确的引脚功能，进而设计自己的应用底板。

| Peripherals Pin Table |                 |                     |                     |        |         |
|-----------------------|-----------------|---------------------|---------------------|--------|---------|
| ROM0_TX_CLK           |                 | SB01 D0 (Set0)      | EMAC0 TX_CLK (Set0) | GPIO00 | LOAN000 |
| ROM0_TXD0             |                 | SB01 D1 (Set0)      | EMAC0 TXD0 (Set0)   | GPIO01 | LOAN001 |
| ROM0_TXD1             |                 | SB01 D2 (Set0)      | EMAC0 TXD1 (Set0)   | GPIO02 | LOAN002 |
| ROM0_TXD2             |                 | SB01 D3 (Set0)      | EMAC0 TXD2 (Set0)   | GPIO03 | LOAN003 |
| ROM0_TXD3             |                 | SB01 D4 (Set0)      | EMAC0 TXD3 (Set0)   | GPIO04 | LOAN004 |
| ROM0_RXD0             |                 | SB01 D5 (Set0)      | EMAC0 RXD0 (Set0)   | GPIO05 | LOAN005 |
| ROM0_RXD1             |                 | SB01 D6 (Set0)      | EMAC0 RXD1 (Set0)   | GPIO06 | LOAN006 |
| ROM0_RXD2             |                 | SB01 D7 (Set0)      | EMAC0 RXD2 (Set0)   | GPIO07 | LOAN007 |
| ROM0_RXD3             |                 | SB01 D8 (Set0)      | EMAC0 RXD3 (Set0)   | GPIO08 | LOAN008 |
| ROM0_TX_CTL           |                 | SB01 D9 (Set0)      | EMAC0 TX_CTL (Set0) | GPIO09 | LOAN009 |
| ROM0_RX_CTL           |                 | SB01 D10 (Set0)     | EMAC0 RX_CTL (Set0) | GPIO10 | LOAN010 |
| ROM0_TX_CLK           |                 | SB01 D11 (Set0)     | EMAC0 TX_CLK (Set0) | GPIO11 | LOAN011 |
| ROM0_RXD1             |                 | SB01 D12 (Set0)     | EMAC0 RXD1 (Set0)   | GPIO12 | LOAN012 |
| ROM0_RXD2             |                 | SB01 D13 (Set0)     | EMAC0 RXD2 (Set0)   | GPIO13 | LOAN013 |
| ROM0_RXD3             |                 | SB01 D14 (Set0)     | EMAC0 RXD3 (Set0)   | GPIO14 | LOAN014 |
| NAND_ALE              | QSPI S03 (Set0) | EMAC1 TX_CLK (Set0) | NAND_ALE (Set0)     | GPIO15 | LOAN015 |
| NAND_CE               | SB01 D0 (Set1)  | EMAC1 TXD0 (Set0)   | NAND_CE (Set0)      | GPIO16 | LOAN016 |
| NAND_CLE              | SB01 D1 (Set1)  | EMAC1 TXD1 (Set0)   | NAND_CLE (Set0)     | GPIO17 | LOAN017 |
| NAND_RE               | SB01 D2 (Set1)  | EMAC1 TXD2 (Set0)   | NAND_RE (Set0)      | GPIO18 | LOAN018 |
| NAND_RB               | SB01 D3 (Set1)  | EMAC1 TXD3 (Set0)   | NAND_RB (Set0)      | GPIO19 | LOAN019 |
| NAND_DQ0              | QCS S04 (Set0)  | EMAC1 RXD0 (Set0)   | NAND_DQ0 (Set0)     | GPIO20 | LOAN020 |
| NAND_DQ1              | QCS S05 (Set0)  | EMAC1 RXD1 (Set0)   | NAND_DQ1 (Set0)     | GPIO21 | LOAN021 |
| NAND_DQ2              | QCS S06 (Set0)  | EMAC1 RXD2 (Set0)   | NAND_DQ2 (Set0)     | GPIO22 | LOAN022 |
| NAND_DQ3              | SB01 D4 (Set1)  | EMAC1 TX_CTL (Set0) | NAND_DQ3 (Set0)     | GPIO23 | LOAN023 |
| NAND_DQ4              | SB01 D5 (Set1)  | EMAC1 RX_CTL (Set0) | NAND_DQ4 (Set0)     | GPIO24 | LOAN024 |
| NAND_DQ5              | SB01 D6 (Set1)  | EMAC1 TX_CLK (Set0) | NAND_DQ5 (Set0)     |        |         |

## HPS 侧管脚使用注意事项

在设计用户底板时，以下几个信号需要额外留意。

1、HPS\_GPIO29~HPS\_GPIO31 在核心板上已经连接了一个 QSPI FLASH，所以如果核心板上的 QSPI FLASH 有用到，则这几个引脚在底板上将不能再用作其他功能。反之，如果需要用到这几个管脚，且能够接受不使用 QSPI FLASH，则在核心板上 QSPI FLASH 拆除的情况下，可以在底板上设计自己的功能。

2、以 HPS\_SD 开头的信号脚(HPS\_SD\_CMD(GPIO36)、HPS\_SD\_CD(GPIO37)、HPS\_SD\_CLK(GPIO45)、HPS\_SD\_DATA0(GPIO38)、HPS\_SD\_DATA1(GPIO39)、HPS\_SD\_DATA2(GPIO46)、HPS\_SD\_DATA3(GPIO47))引脚,包括没有引到连接器上的 GPIO44,虽然在核心板上都已经连接到了 EMMC 存储器上。但是由于我们在核心板上巧妙的进行了切换电路设计,这些引脚在底板依旧上可以连接到 Micro SD 卡槽上,用来支持使用 SD 卡启动。

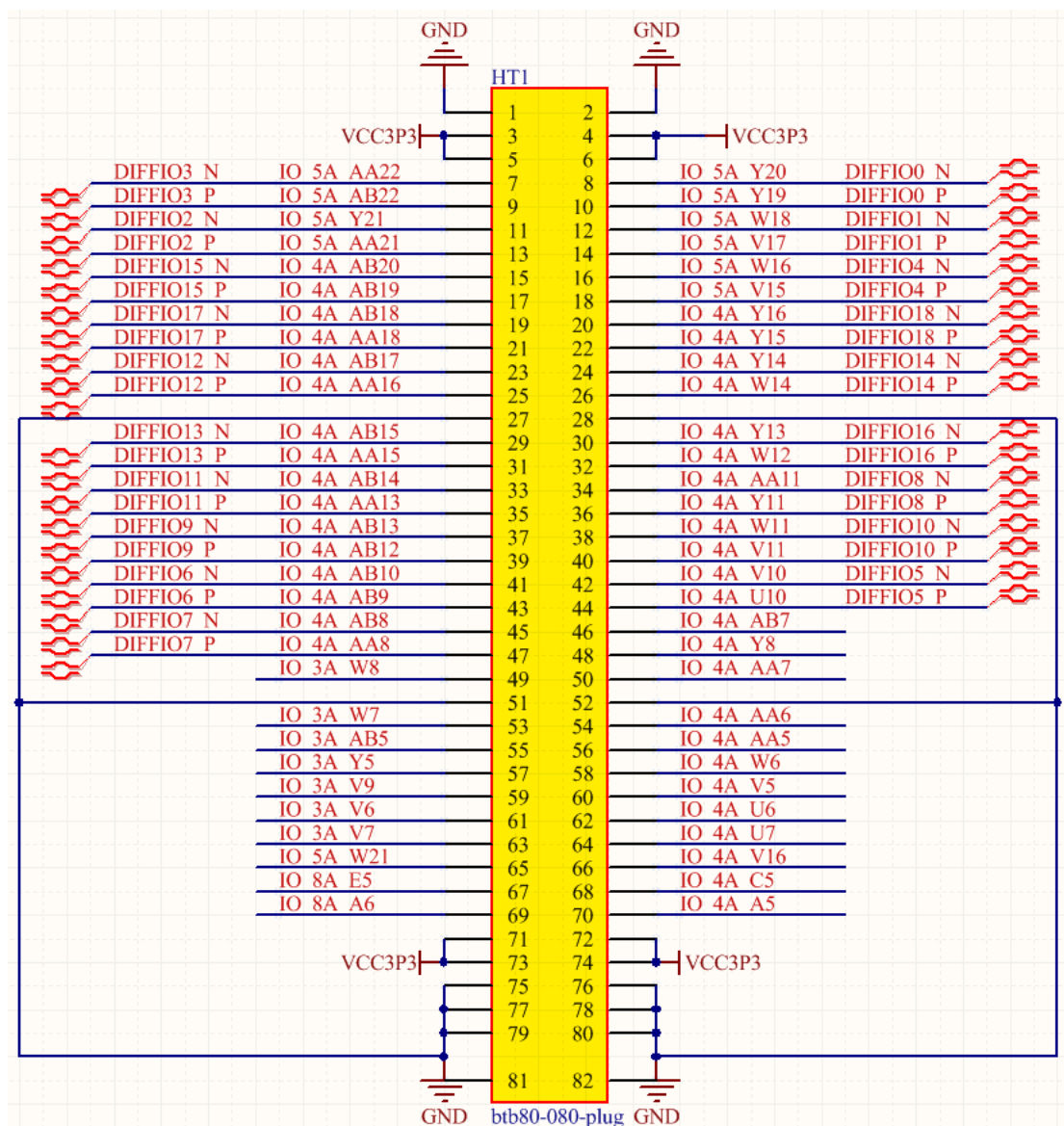
3、HPS\_GPIO28 (BOOTSEL2)、HPS\_GPIO33 (BOOTSEL1)、HPS\_GPIO60 (BOOTSEL0) 三个管脚在复位状态会被作为 HPS 启动方式设置脚,在设计用户底板时,这几个脚需要使用上拉或下拉电阻设置为一个初始电平,以让 HPS 在复位时决定从哪个存储器开始启动。上拉电阻值推荐为 10KΩ、下拉电阻值推荐为 1KΩ。下表为 BOOTSEL 值与启动方式的关系。

| BOOTSEL[2:0] | 启动位置                                   |
|--------------|--|
| 0            | 保留                                     |
| 1            | FPGA (通过 HPS-to-FPGA 桥)                |
| 2            | 1.8V NAND flash 存储器                    |
| 3            | 3.3V NAND flash 存储器                    |
| 4            | 1.8V SD/MMC flash 存储器(需要外部 SD 接口收发器支持) |
| 5            | 3.3V SD/MMC flash 存储器(使用内部自带 SD 接口收发器) |
| 6            | 1.8V QSPI flash 存储器                    |
| 7            | 3.3V QSPI flash 存储器                    |

4、HPS\_GPIO66 (CLOCKSEL0)、HPS\_GPIO62 (CLOCKSEL1) 三个管脚在复位状态会被作为 HPS 工作时钟的设置脚,在设计用户底板时,这几个脚需要使用上拉或下拉电阻设置为一个初始电平,用来选择 HPS 的时钟源,实质上这个设置并不常用。单依旧需要设置一个时钟源。一般设置 CLOCKSEL0 和 CLOCKSEL1 均为低电平来使用核心板上默认的时钟源即可。下拉电阻推荐值为 1KΩ。

## FPGA 侧用户接口

核心板上,从背面看,远离 8 脚 QSPI FLASH 的一组连接器标号为 HT1 (从正面看,位于白色方向指示箭头下方),上面主要分布着 FPGA 侧的信号,如下图所示。

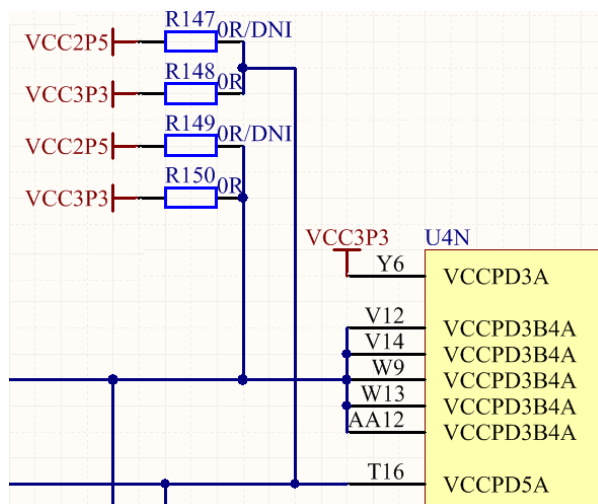


IO 分为两种，仅支持单端的管脚和支持差分的管脚。图中，以 DIFFIOx\_P 和 DIFFIOx\_N 标记的管脚属于既支持单端，又支持差分的管脚。而不带这些标识的脚则仅支持单端模式。

每个 FPGA 侧管脚都以 IO 开头，中间的 3A、4A、5A、8A 表示这些引脚所述的 IO Bank，最后的英文加数字代表了该管脚在 FPGA 器件上的管脚编号。

## FPGA 侧管脚使用注意事项

- 1、当使用 FPGA 侧的管脚作为差分管脚时，例如作为 LVDS 接口，需要设置对应的 IO Bank 电压为 2.5V。核心板上对于支持差分接口的两个 I/O Bank 4A 和 5A 提供了一定程度上可以修改的 I/O Bank 电压设置电路，如下图所示。



通过 R147、R148、R149、R150 四个电阻的焊接与否来决定是使用 3.3V 还是 2.5V 电平。

下表为 4 个电阻焊接与否与对应 BANK 的 IO 电平标准关系。

|      |      |            |
|------|------|------------|
| R147 | R148 | Bank 4A 电压 |
| 焊接   | 不焊接  | 2.5V       |
| 不焊接  | 焊接   | 3.3V       |
|      |      |            |
| R149 | R150 | Bank 5A 电压 |
| 焊接   | 不焊接  | 2.5V       |
| 不焊接  | 焊接   | 3.3V       |

控制同一个 **Bank** 的两个电阻只能有且仅有一个处于焊接状态，不能同时焊接或者同时不焊接，否则核心板将无法正常工作。

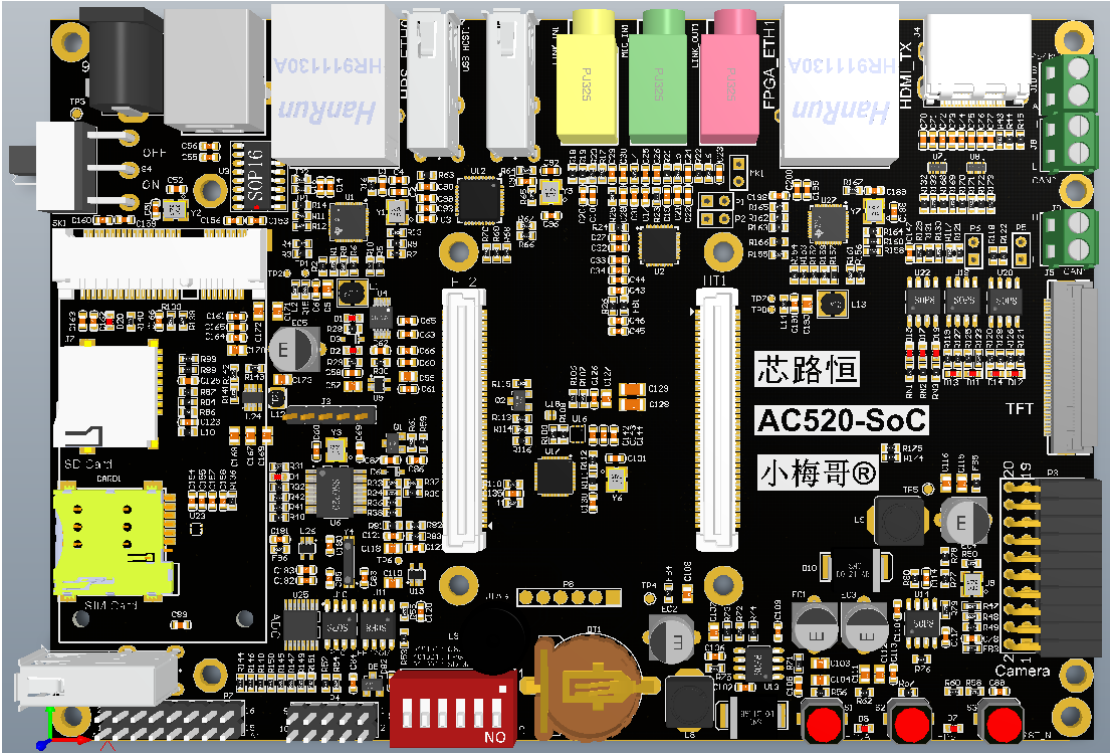
## 支持 SD 卡和 EMMC 分时启动的设计

在核心板上，对 EMMC 的供电进行了控制，当底板上的 SD 卡槽中插入了 SD 卡后，会断开 EMMC 芯片的供电，EMMC 芯片脱机，此时，HPS 就可以在没有任何干扰的情况下与底板上的 SD 卡通信了，当 SD 卡移出后，EMMC 又重新上电。此功能在解决已经焊接到电路板上的空白 EMMC 存储器的烧写时有非常好效果。在调试时候，可以使用 SD 卡方便拷贝更新文件，当系统调试完成，可以将系统烧录到 EMMC 中，投入到系统中使用。

## 配套支持

为方便用户快速评估本核心板的使用情况，我们提供多款基于该核心板的评估底板，用户可以购买并使用这些评估底板评估和预研自己的项目。以下为我们当前已经提供的配套底

板的实物图。



# 订购说明

本核心板由武汉芯路恒科技有限公司独立研发、生产、销售，所属品牌为“小梅哥®”，暂无分销和授权代理商。客户可通过线上和线下合同订购本品。

淘宝销售店铺：<https://xiaomeige.taobao.com>

线上订购途径：<https://item.taobao.com/item.htm?id=605572000844>

邮箱：[xmgfpga@qq.com](mailto:xmgfpga@qq.com)

您订购时可以先通过我们的线上门店与我们的销售客服取得联系，确定好所需的型号和数量后，根据双方可以接受的方式，线上或线下交易。